

Sistemas Digitales

Memorias

Latches

Prof. Luis Araujo

Escuela de Ingeniería Eléctrica



Circuito Combinacional

- Circuito Digital Combinacional:
 - Las Salidas dependen solo de la combinación de entrada actual y se mantiene en el tiempo.
 - Se describen a través de Tablas de Verdad
- Ejemplo:
 - Perilla para cambiar los canales de un TV antiguo, el canal depende de la posición actual de la perilla

Circuito Secuencial

- Circuito Digital Secuencia:
 - Las Salidas dependen de la combinación de entradas actual y del pasado de las entradas
 - Se describen a través de Tablas de Transición/Salida o Diagramas de Estado
- Ejemplo:
 - Control del TV moderno, que al pulsar las teclas Próximo y Anterior, el canal depende del canal anterior

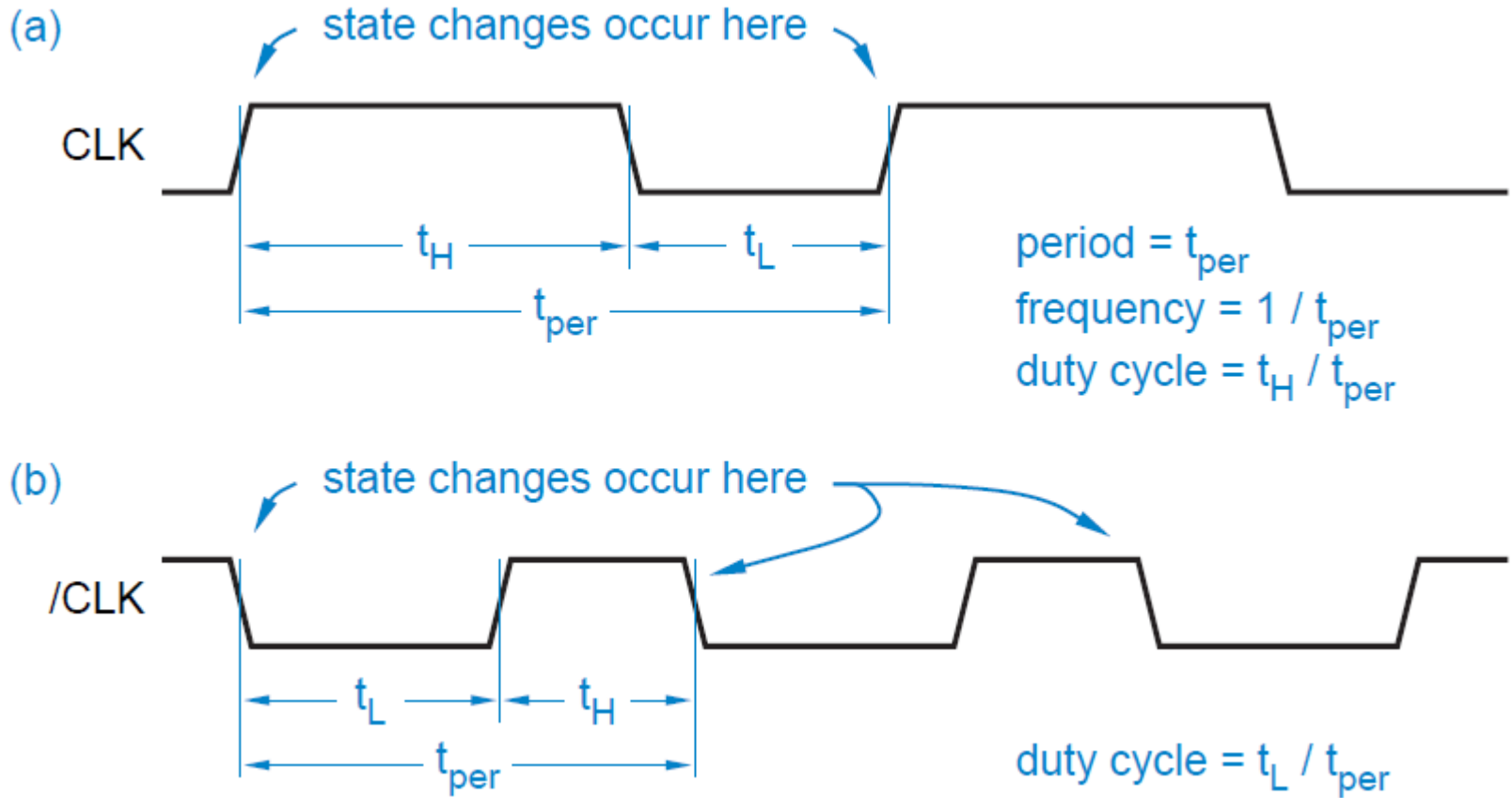
Circuito Secuencial

- Estado:
 - Es una colección de variables de estado cuyos valores en cualquier tiempo contienen toda la información acerca del pasado necesario para explicar el comportamiento del futuro del circuito.
- Ejemplo:
 - Control del TV moderno, el ESTADO lo representa el valor actual del canal. Si el TV tiene 100 canales hace falta 7 bits para representar el ESTADO.

Circuito Secuencial

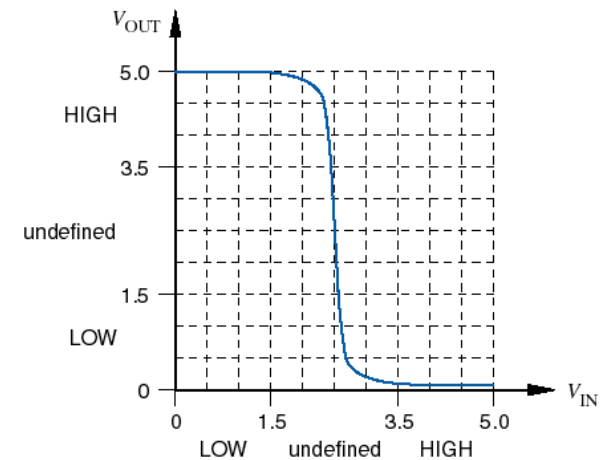
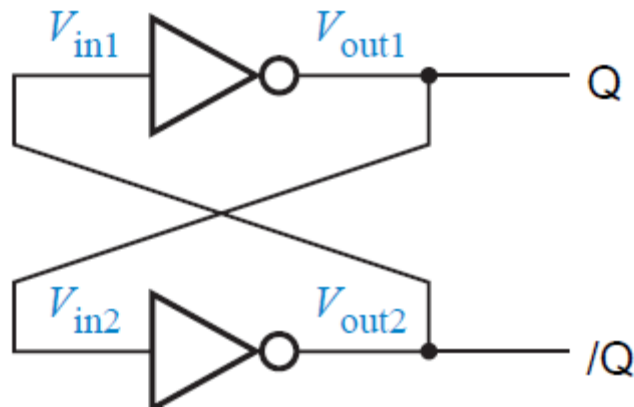
- Variables de Estado:
 - Bits necesarios para representar el estado
 - N bits implica 2^N posibles estados
 - 2^N es un numero finito
- Maquina de Estados Finito:
 - Circuito Secuencial con un número de estados finito.
 - Los cambios de estados se presen tan en tiempos específicos dados por una señal de reloj (CLK)

Señal de Reloj



Elementos Biestables

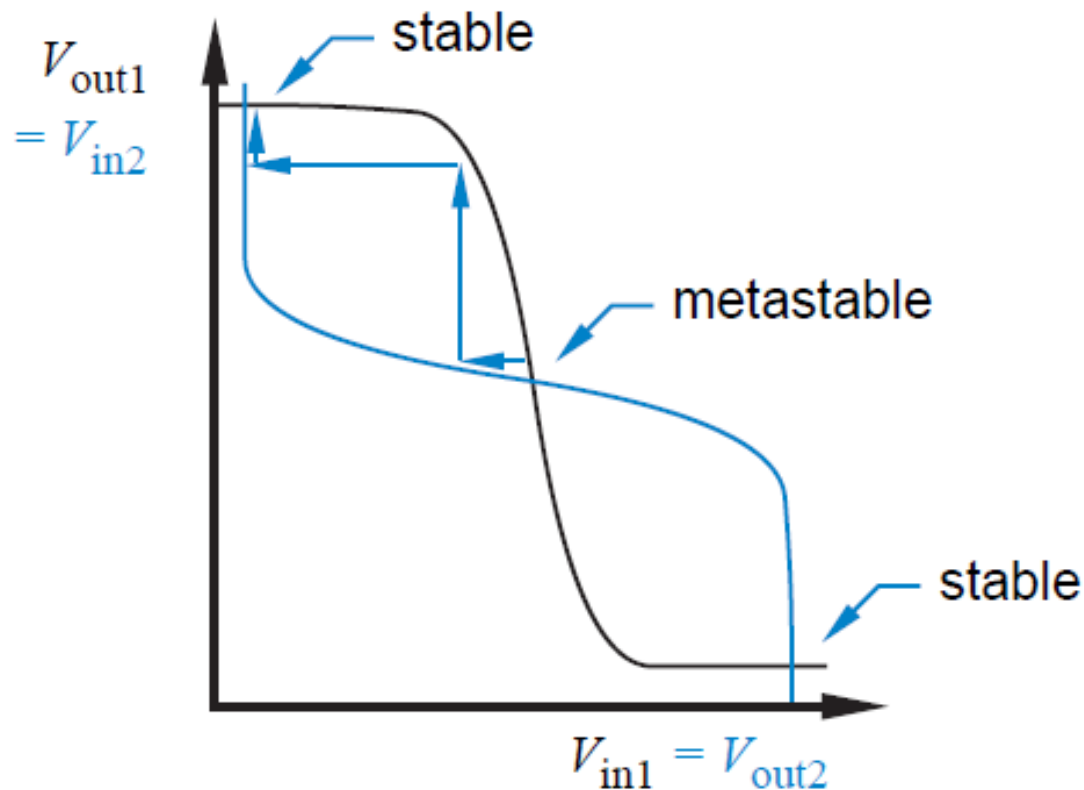
- Circuito Secuencial mas sencillo:



- Una variable de estado: Q
- Dos estados: $Q = 0$ y $Q = 1$

Elementos Biestables

- Transición entre estados:



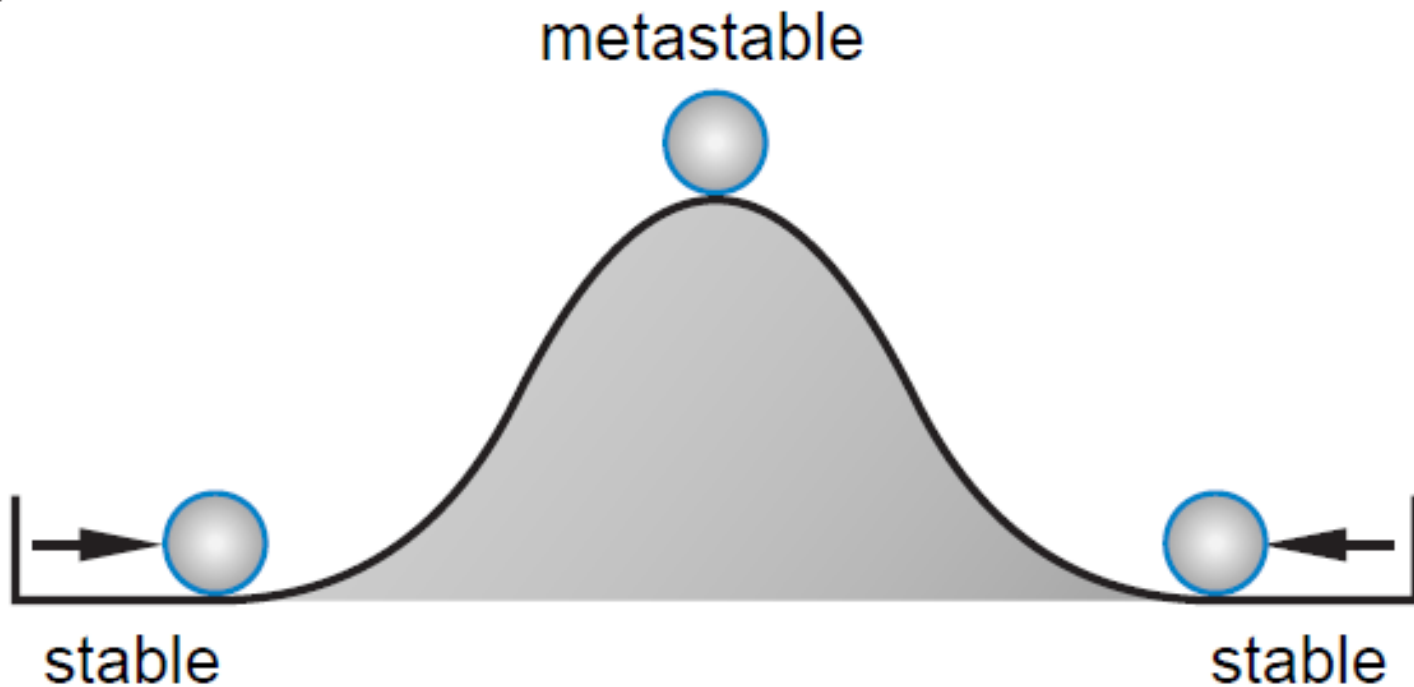
Transfer function:

$$V_{out1} = T(V_{in1})$$

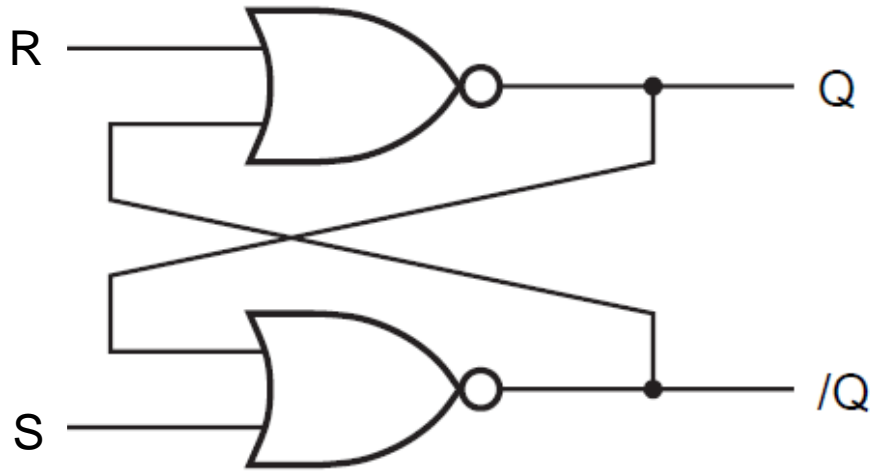
$$V_{out2} = T(V_{in2})$$

Elementos Biestables

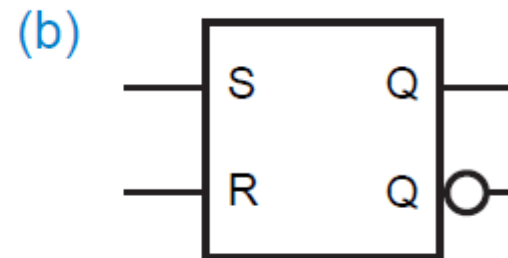
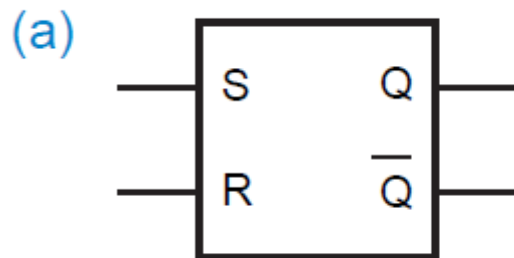
- Metaestabilidad:



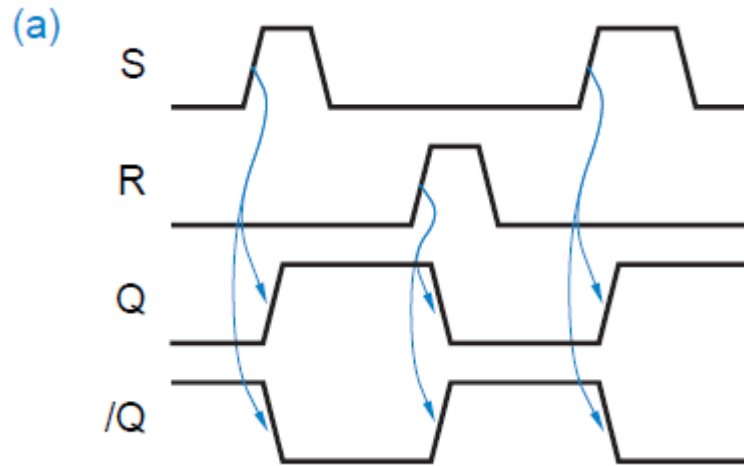
Latch S-R



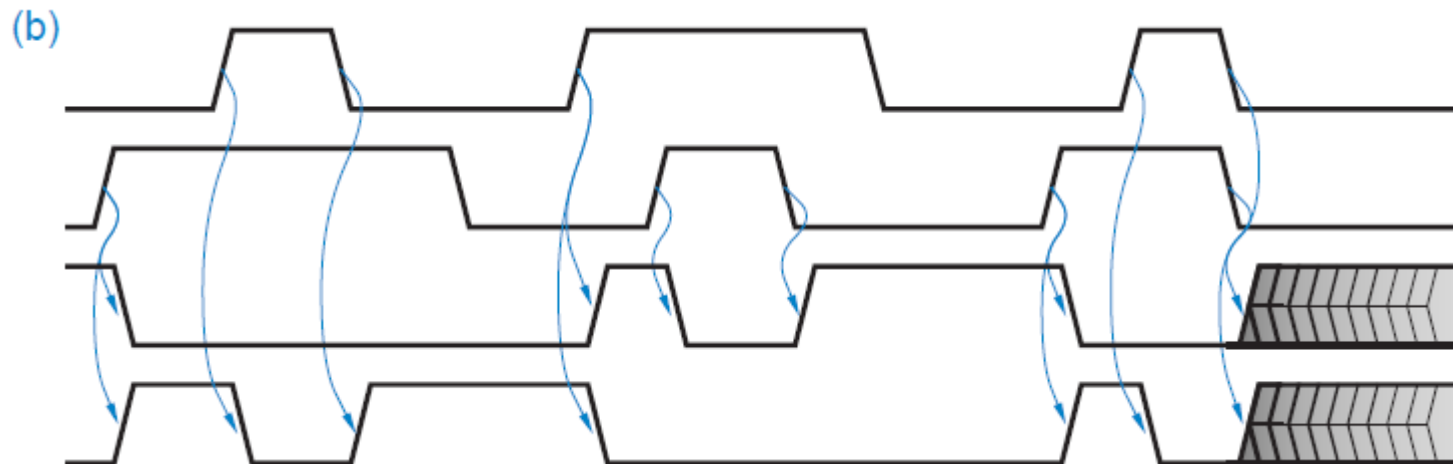
S	R	Q	/Q
0	0	last Q	last /Q
0	1	0	1
1	0	1	0
1	1	0	0



Latch S-R

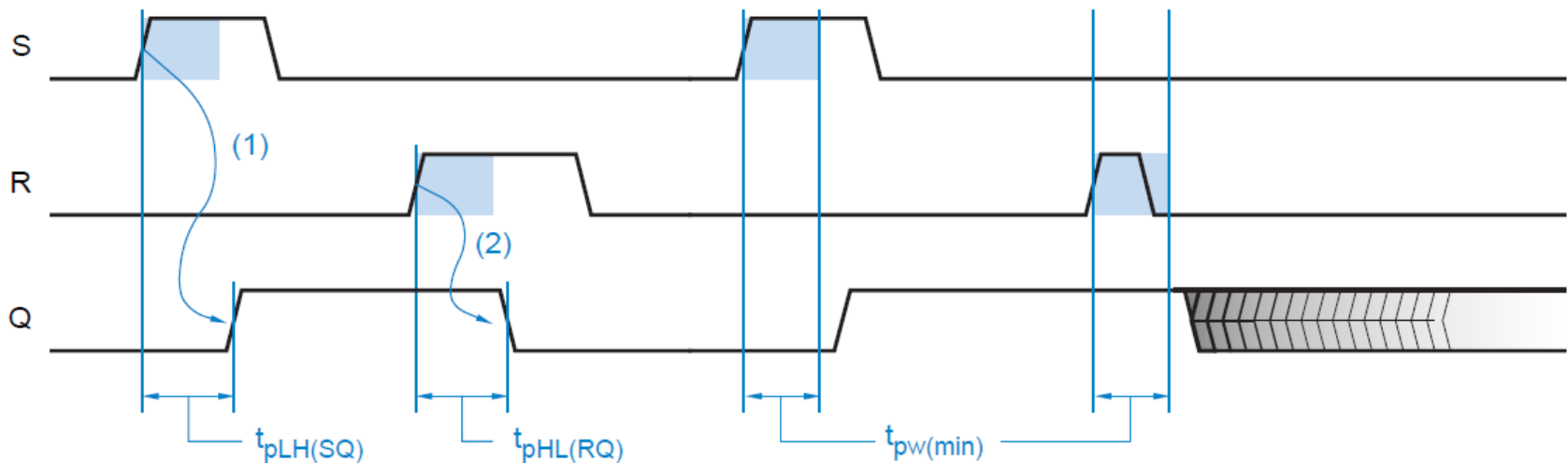


S	R	Q	/Q
0	0	last Q	last /Q
0	1	0	1
1	0	1	0
1	1	0	0

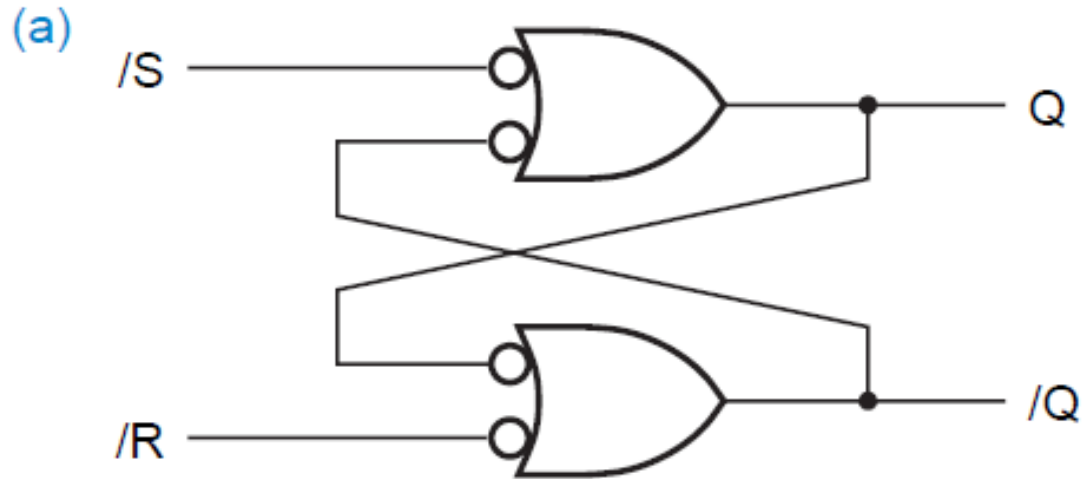


Temprorización Latch S-R

- Retardo de propagación (t_p)
 - t_{pLH} y t_{pHL}
- Ancho Mínimo del Pulso ($t_{pw(min)}$)



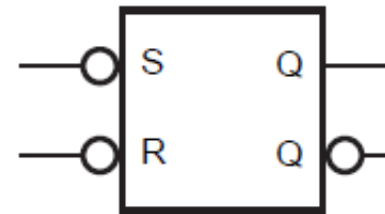
Latch S-R con NAND



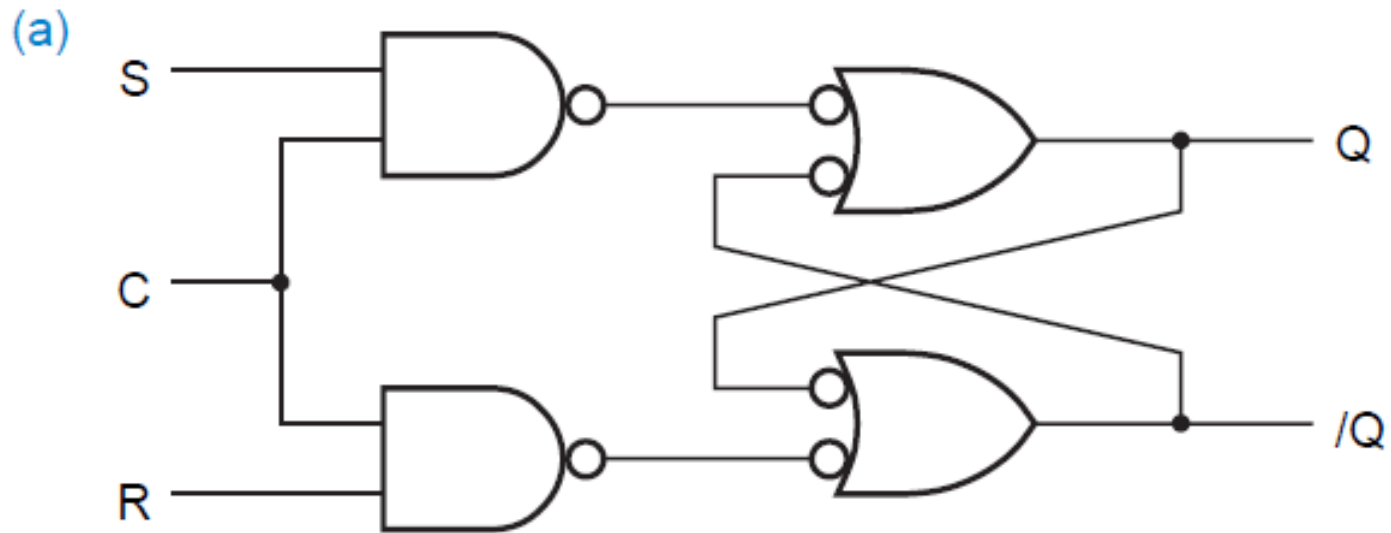
(b)

$/S$	$/R$	Q	$/Q$
0	0	1	1
0	1	1	0
1	0	0	1
1	1	last Q	last $/Q$

(c)



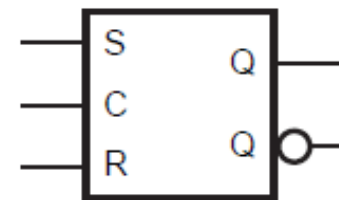
Latch S-R con Habilitación



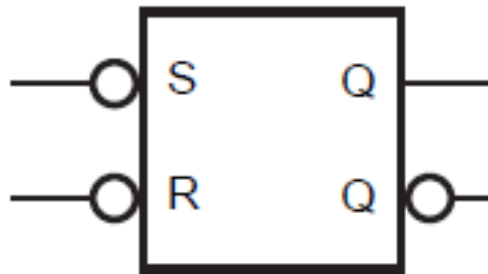
(b)

S	R	C	Q	/Q
0	0	1	last Q	last /Q
0	1	1	0	1
1	0	1	1	0
1	1	1	1	1
x	x	0	last Q	last /Q

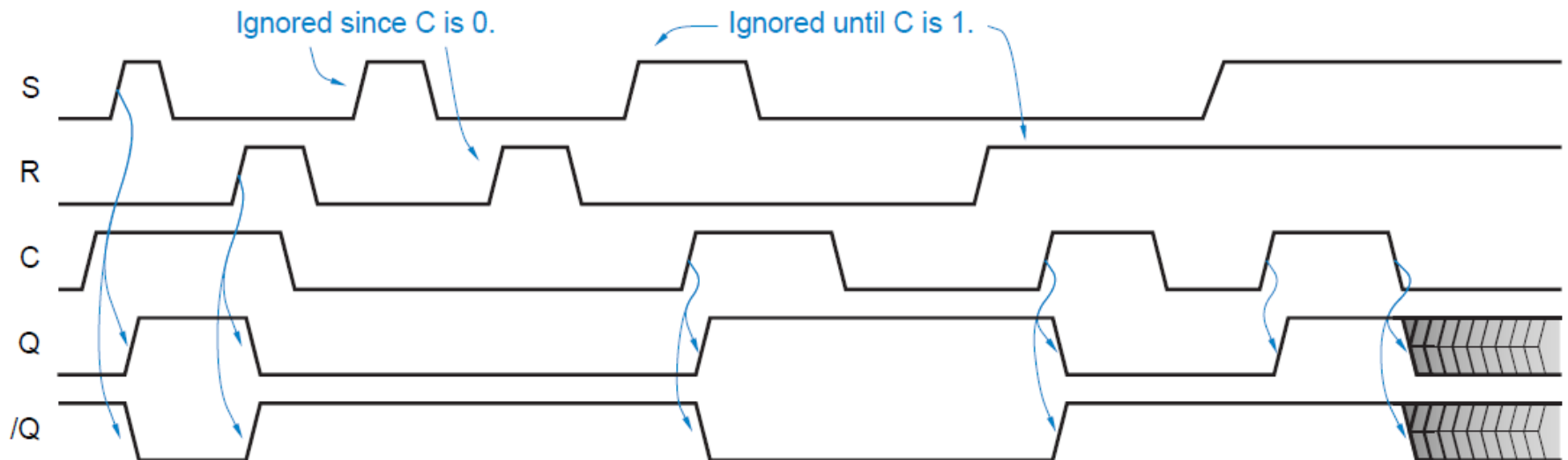
(c)



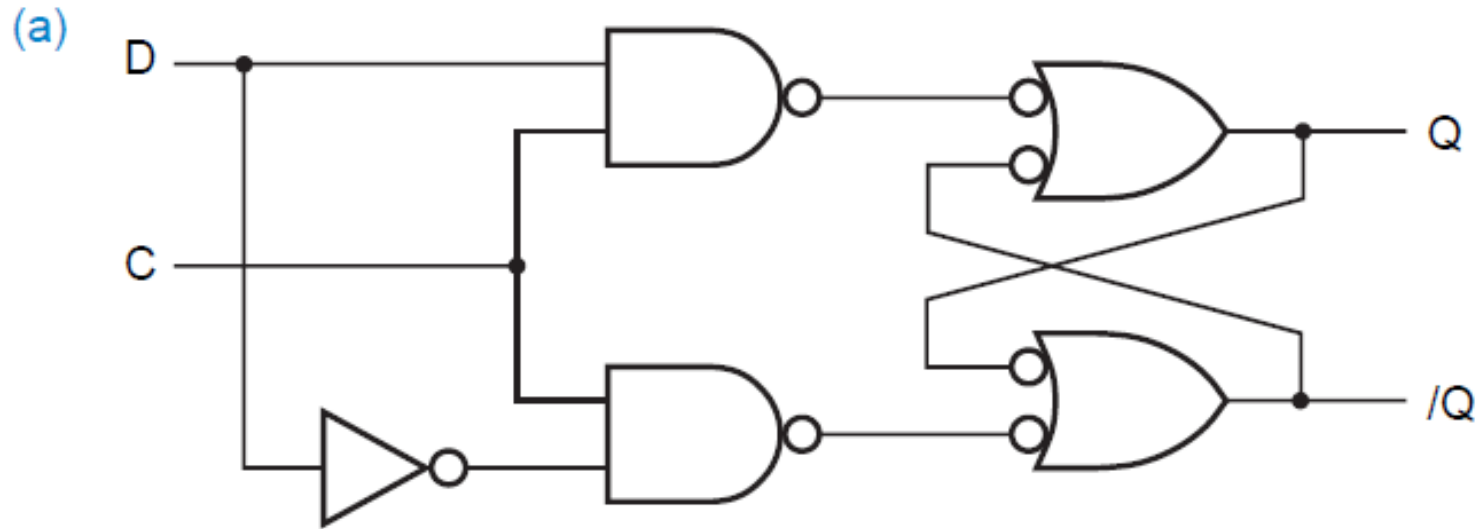
Latch S-R con Habilitación



S	R	C	Q	/Q
0	0	1	last Q	last /Q
0	1	1	0	1
1	0	1	1	0
1	1	1	1	1
x	x	0	last Q	last /Q



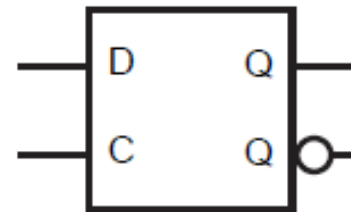
Latch D



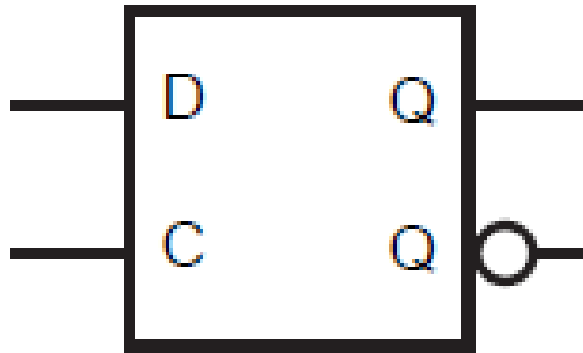
(b)

C	D	Q	/Q
1	0	0	1
1	1	1	0
0	x	last Q	last /Q

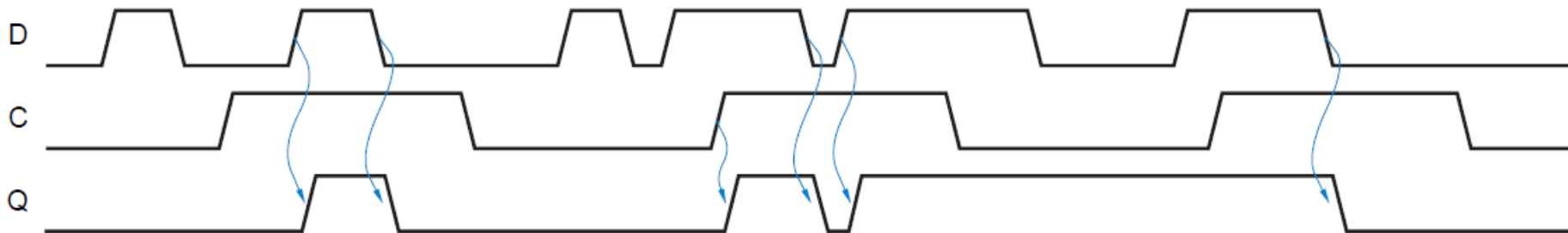
(c)



Latch D



C	D	Q	/Q
1	0	0	1
1	1	1	0
0	x	last Q	last /Q



Temporización Latch D

- Retardo de propagación (t_p)
 - $t_{pLH(CQ)}$, $t_{pHL(CQ)}$, $t_{pLH(DQ)}$ y $t_{pHL(DQ)}$
- Tiempo de Establecimiento (t_{setup})
- Tiempo de Retención (t_{hold})

