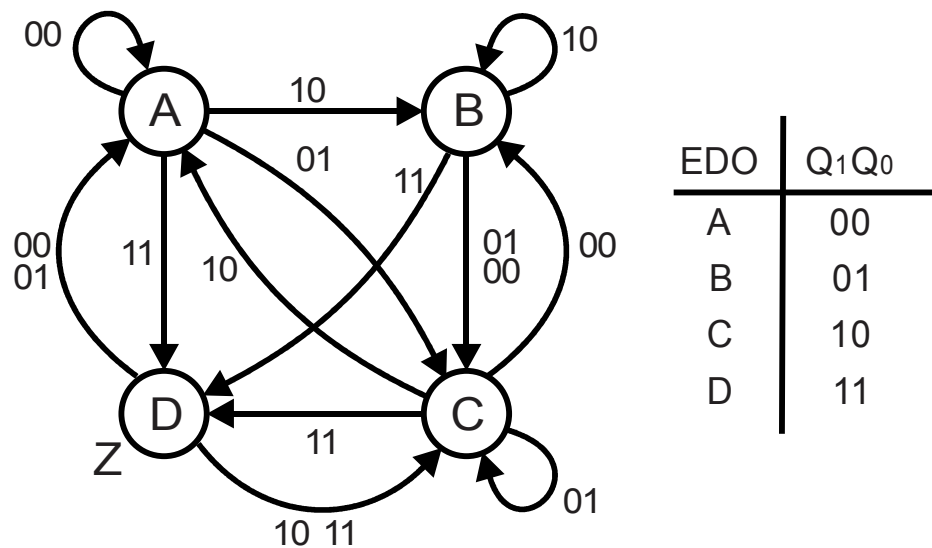


4to. Parcial Sistemas Digitales

Prof. Luis ARAUJO

1. Dibuje un *diagrama de estados* para un contador sincrónico de 2 bits, con salidas Q_1Q_0 , MAX y MIN, y entradas X e Y. La salida MAX esta activa cuando el estado Q_1Q_0 se encuentra en el valor máximo y la salida MIN se activa cuando el estado Q_1Q_0 se encuentra en el valor mínimo. En cada flanco de subida de la señal de reloj (CLK), cuando las entradas XY son 00 el contador mantiene el valor de la cuenta, cuando las entradas XY son 01 cuenta hacia arriba y cuando la entrada X es 1 cuenta hacia abajo. **(5 puntos)**
2. Implemente un circuito digital secuencial para el siguiente diagrama de estados. Use para la implementación la asignación de estados que se muestra en la figura y un flip-flop tipo JK para Q_1 y un flip-flop T para Q_0 . **(6 puntos)**



3. Implemente un circuito digital secuencial para el siguiente diagrama de estados. Use para la implementación la asignación de estados que se muestra en la figura, costo mínimo y flip-flops tipo D. **(6 puntos)**

