

2do Examen Parcial de Sistemas Digitales

Prof. Luis ARAUJO

1. Implementar un circuito sumador de 3 números de 4 bits cada uno ($W = X + Y + Z$), utilizando circuitos integrados sumadores 74x283. Asuma que el tiempo máximo de respuesta de cada circuito integrado sumador es de 24ns, ¿Cuál es el tiempo de respuesta del circuito implementado?
2. Repita el problema anterior, pero asumiendo que los números de entrada están representados en complemento 2. Además, implemente un circuito que detecte si ocurre desborde en la operación.
3. Implementar un circuito comparador de magnitud de dos números de dos bits c/u (A y B), con dos salidas $A=B$ y $A>B$, activas en bajo. Utilice para la implementación de la salida $A=B$ circuitos integrados multiplexores 74X151 y para la implementación de la salida $A>B$ utilice circuitos integrados decodificadores 74x138 y compuertas.
4. Implementar un circuito generador de paridad para 8 bits, con salidas PAR e IMPAR utilizando compuertas. Asumiendo que el tiempo de propagación de cada compuerta es de 10ns, ¿Cuál es el tiempo de propagación del circuito implementado?

