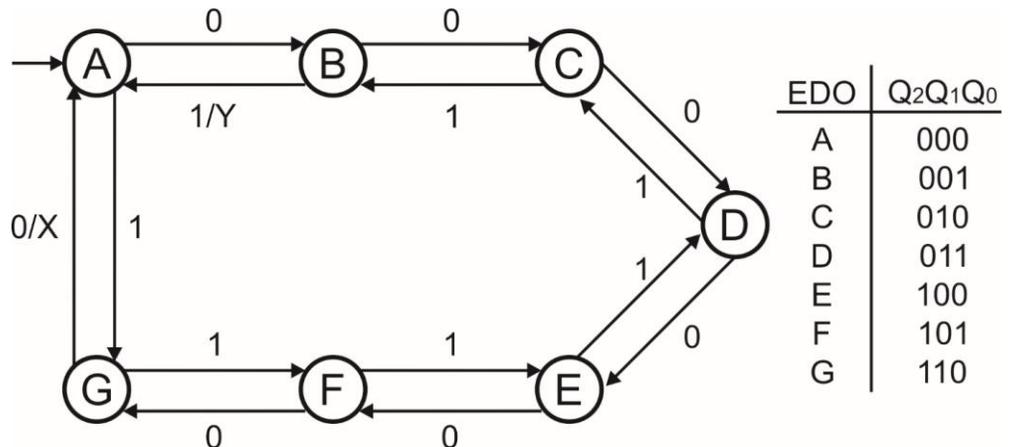


# 4to. Parcial Sistemas Digitales A-15

Prof. Luis ARAUJO

1. Implemente el siguiente Diagrama de Estados. Use para el diseño un flip-flop JK (con la entrada K complementada) para  $Q_0$  y dos flip-flop D para  $Q_1$  y  $Q_2$ . Además use para el diseño solo compuertas NAND de 2, 3 y 4 entradas y la asignación de estados que se muestra en la figura.



2. Implemente el siguiente diagrama ASM.

